

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3092704号

(P3092704)

(45) 発行日 平成12年 9 月25日 (2000. 9. 25)

(24) 登録日 平成12年 7 月28日 (2000. 7. 28)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

G 0 1 R 31/28

G 0 1 R 31/28

G

請求項の数 7 (全 8 頁)

(21) 出願番号 特願平10-51524

(22) 出願日 平成10年 2 月17日 (1998. 2. 17)

(65) 公開番号 特開平11-231027

(43) 公開日 平成11年 8 月27日 (1999. 8. 27)

審査請求日 平成10年 2 月17日 (1998. 2. 17)

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 松澤 肇

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(72) 発明者 伊藤 裕生

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(74) 代理人 100088890

弁理士 河原 純一

審査官 濱本 禎広

最終頁に続く

(54) 【発明の名称】 大規模集積回路およびそのボードテスト方法

1

(57) 【特許請求の範囲】

【請求項 1】 F/F をシリアルに接続したスキャンバスを有する構造の大規模集積回路において、前記スキャンバスが、I/Oピン近傍のF/Fのみをシリアルに接続したI/Oスキャンバスと、それ以外のF/Fをシリアルに接続した内部スキャンバスとに分かれており、全スキャンバスの経路とI/Oスキャンバスのみの経路とを選択するセレクトを有することを特徴する大規模集積回路。

【請求項 2】 F/F をシリアルに接続したスキャンバスを有する構造の大規模集積回路において、前記スキャンバスが、I/Oピン近傍のF/Fのみをシリアルに接続したI/Oスキャンバスと、それ以外のF/Fをシリアルに接続した内部スキャンバスとに分かれており、一方の入力が前記I/Oスキャンバスの他端および前記内

2

部スキャンバスの一端に接続され、他方の入力の前記内部スキャンバスの他端に接続され、出力がスキャンアウトに接続されており、テストモード信号に基づいて全スキャンバスの経路と前記I/Oスキャンバスのみの経路とを選択するセレクトを有することを特徴する大規模集積回路。

【請求項 3】 F/F をシリアルに接続したスキャンバスを有する構造の大規模集積回路において、前記スキャンバスが、I/Oピン近傍のF/Fのみをシリアルに接続したI/Oスキャンバスと、それ以外のF/Fをシリアルに接続した内部スキャンバスとに分かれており、一方の入力がスキャンインおよび前記内部スキャンバスの一端に接続され、他方の入力の前記内部スキャンバスの他端に接続され、出力が前記I/Oスキャンバスの一端に接続されており、テストモード信号に基づいて全スキャン

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3092704号

(P3092704)

(45) 発行日 平成12年 9 月25日 (2000. 9. 25)

(24) 登録日 平成12年 7 月28日 (2000. 7. 28)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

G 0 1 R 31/28

G 0 1 R 31/28

G

請求項の数 7 (全 8 頁)

(21) 出願番号 特願平10-51524

(22) 出願日 平成10年 2 月17日 (1998. 2. 17)

(65) 公開番号 特開平11-231027

(43) 公開日 平成11年 8 月27日 (1999. 8. 27)

審査請求日 平成10年 2 月17日 (1998. 2. 17)

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 松澤 肇

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(72) 発明者 伊藤 裕生

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(74) 代理人 100088890

弁理士 河原 純一

審査官 濱本 禎広

最終頁に続く

(54) 【発明の名称】 大規模集積回路およびそのボードテスト方法

1

(57) 【特許請求の範囲】

【請求項 1】 F/F をシリアルに接続したスキャンパスを有する構造の大規模集積回路において、前記スキャンパスが、I/Oピン近傍のF/Fのみをシリアルに接続したI/Oスキャンパスと、それ以外のF/Fをシリアルに接続した内部スキャンパスとに分かれており、全スキャンパスの経路とI/Oスキャンパスのみの経路とを選択するセレクタを有することを特徴する大規模集積回路。

【請求項 2】 F/F をシリアルに接続したスキャンパスを有する構造の大規模集積回路において、前記スキャンパスが、I/Oピン近傍のF/Fのみをシリアルに接続したI/Oスキャンパスと、それ以外のF/Fをシリアルに接続した内部スキャンパスとに分かれており、一方の入力が前記I/Oスキャンパスの他端および前記内

2

部スキャンパスの一端に接続され、他方の入力が前記内部スキャンパスの他端に接続され、出力がスキャンアウトに接続されており、テストモード信号に基づいて全スキャンパスの経路と前記I/Oスキャンパスのみの経路とを選択するセレクタを有することを特徴する大規模集積回路。

【請求項 3】 F/F をシリアルに接続したスキャンパスを有する構造の大規模集積回路において、前記スキャンパスが、I/Oピン近傍のF/Fのみをシリアルに接続したI/Oスキャンパスと、それ以外のF/Fをシリアルに接続した内部スキャンパスとに分かれており、一方の入力がスキャンインおよび前記内部スキャンパスの一端に接続され、他方の入力が前記内部スキャンパスの他端に接続され、出力が前記I/Oスキャンパスの一端に接続されており、テストモード信号に基づいて全スキ

## 3

キャンパスの経路と前記I/Oスキャンパスのみの経路とを選択するセクタを有することを特徴する大規模集積回路。

【請求項4】 F/Fをシリアルに接続したスキャンパスを有する構造の大規模集積回路において、前記スキャンパスが、I/Oピン近傍のF/Fのみをシリアルに接続したI/Oスキャンパスと、それ以外のF/Fをシリアルに接続した第1および第2の内部スキャンパスとに分かれており、一方の入力がスキャンインおよび前記第1の内部スキャンパスの一端に接続され、他方の入力が前記第1の内部スキャンパスの他端に接続され、出力が前記I/Oスキャンパスの一端に接続された第1のセクタと、一方の入力が前記I/Oスキャンパスの他端および前記第2の内部スキャンパスの一端に接続され、他方の入力が前記第2の内部スキャンパスの他端に接続され、出力がスキャンアウトに接続された第2のセクタとを有し、テストモード信号に基づいて前記第1および第2のセクタを切り換えることにより全スキャンパスの経路と前記I/Oスキャンパスのみの経路とを選択することを特徴する大規模集積回路。

【請求項5】 F/Fをシリアルに接続したスキャンパスを有する構造の大規模集積回路において、前記スキャンパスが、I/Oピン近傍のF/Fのみをシリアルに接続した第1および第2のI/Oスキャンパスと、それ以外のF/Fをシリアルに接続した内部スキャンパスとに分かれており、一方の入力が前記第1のI/Oスキャンパスの他端および前記内部スキャンパスの一端に接続され、他方の入力が前記内部スキャンパスの他端に接続され、出力が前記第2のI/Oスキャンパスの一端に接続されており、テストモード信号に基づいて全スキャンパスの経路と前記I/Oスキャンパスのみの経路とを選択するセクタを有することを特徴する大規模集積回路。

【請求項6】 F/Fをシリアルに接続したスキャンパスを有する構造の大規模集積回路のボードテスト方法において、前記スキャンパスを、I/Oピン近傍のF/Fのみをシリアルに接続したI/Oスキャンパスと、それ以外のF/Fをシリアルに接続した内部スキャンパスとに分け、複数の大規模集積回路のI/Oピン間を接続するとともにセクタによりI/Oスキャンパスのみの経路を選択して、各大規模集積回路のI/Oスキャンパスにテストデータをスキャンイン/スキャンアウトとさせてI/Oスキャンパス間でデータの送受を行うことにより、大規模集積回路間の接続確認を行うことを特徴とするボードテスト方法。

【請求項7】 F/Fをシリアルに接続したスキャンパスを有する構造の大規模集積回路のボードテスト方法において、前記スキャンパスを、I/Oピン近傍のF/Fのみをシリアルに接続したI/Oスキャンパスと、それ以外のF/Fをシリアルに接続した内部スキャンパスとに分け、複数の大規模集積回路のI/Oピン間を接続す

## 4

るとともに外部よりテストモード信号を与えることによりセクタによってI/Oスキャンパスのみの経路を選択して、各大規模集積回路のI/Oスキャンパスにテストデータをスキャンイン/スキャンアウトとさせてI/Oスキャンパス間でデータの送受を行うことにより、大規模集積回路間の接続確認を行うことを特徴とするボードテスト方法。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】本発明は大規模集積回路およびそのボードテスト方法に関し、特にフリップフロップ(F/F)をシリアルに接続したスキャンパスを有する構造の大規模集積回路(Large Scaled Integration)およびそのスキャンパスによるボードテスト方法に関する。

【0002】

【従来の技術】周知のように、近年、大規模集積回路は、その回路規模が急速に増大してきている。大規模集積回路の回路規模が増大する背景には、高速性を重視したバイポーラ型大規模集積回路から高集積および並列処理を可能にするCMOS(Complementary Metal-Oxide Semiconductor)型大規模集積回路への移行が行われていること、ブラインドビアを可能としたプリント基板の高密度化が行われていること、プリント基板と大規模集積回路とが電気的に接続する電極が大規模集積回路ケース周囲4辺1列配置、いわゆるQFP(Quad Flat Package)から、大規模集積回路の真下に電極を格子配置してよりピン数を多く取れるようにしたPGA(Pin Grid Array)やBGA(Ball Grid Array)に移行していることなどが挙げられる。

【0003】大規模集積回路の高集積化により、大規模集積回路を実装したボードレベルでのテストパタンの発生が困難になり、テストパターン発生に要する時間が増大してきている。また、それに伴って、スキャンパス長も長くなり、テストパターン量が増え、テスト時間も増大してきている。

【0004】これらの問題を解決するためのテスト容易化回路として、図3に例示するようなフルスキャンパス34がある。フルスキャンパス34は、もともと大規模集積回路31内に存在するすべてのF/F32およびF/F32'を入出力(I/O)ピン33の近傍に存在するしないにかかわらずシリアルに接続し、スキャンイン35およびスキャンアウト36を通じてテストデータをスキャンイン/スキャンアウトすることにより任意の内部状態を外部から設定したり、ある時点での内部状態を抜き出して観測したりすることによって、大規模集積回路31内の回路を分割し、テストパタンの発生を容易にするものである。フルスキャンパス34を用いたテスト

## 5

によれば、大規模集積回路1の機能はもちろんのこと、それを構成している部品のどこが故障しているかをトレースすることが可能となる。また、フルスキャンパス34は、CAD(Computer Aided Design)のATPG(Automatic Test Pattern Generator)によって回路中のどのF/Fかを区別することなく一括で発生できるという簡便さがある。しかし、回路規模の増大により非現実的なデータ発生時間と故障解析の手順が深すぎることで、有限の時間内では故障検出率が上がらないという限界があった。

【0005】一方、図4に示すように、大規模集積回路41、41間の接続のみに着目したテスト容易化回路として、バウンダリスキャンパス47がある。バウンダリスキャンパス47は、大規模集積回路41の本来の回路部分(F/F42を含むシミュレーション対象外部分49)の他に、大規模集積回路41のI/Oピン43の近傍にテスト専用のバウンダリスキャンセル48を配置してシリアルに接続したものである。バウンダリスキャンセル48は、入出力回路と並列に位置したスキャンレジスタ等を含むテストデータレジスタ、テストアクセスポートからのテスト実行命令を受け一連の手順で実行する制御を行うTAPコントローラ、スキャン動作時に実動作時とデータのルートを切り替えるマルチプレクサ、テスト動作命令のデコーダなどからなる。バウンダリスキャンパス47を用いたボードテストは、IEEEの標準規格となっていて、テスト命令およびその状態遷移が規格化されているために、テスト開発側あるいはテストデータ生成側から見れば、ボードテストメーカーごとに異なるテスト言語を開発あるいは理解して使う必要がなくなり、効率がよい。しかし、ボード生産側、すなわち大規模集積回路41の開発側から見ると、テストのために貴重な大規模集積回路41内のゲートを5~10%費やさねばならない。したがって、所定の回路規模を実現する際に、より大きな回路規模の大規模集積回路41が必要となり、その分の遅延が大きくなる。

【0006】

【発明が解決しようとする課題】上述した従来の技術では、昨今の大規模集積回路の集積度の飛躍的な向上により、フルスキャンパスおよびバウンダリスキャンパスを用いて回路分割を行ってもシミュレーション対象となる回路規模が大きくなってしまい、テストパターン発生にかかる時間が再び増大してしまうという問題点があった。

【0007】さらに、ボードレベルになると、スキャンパス長も長くなり、テスト時間も増大してしまうという問題点があった。

【0008】また、ボードレベルのテストの主目的を大規模集積回路間の接続の確認であるとする、生成したテストパタンの多くの部分があまり目的に寄与しないものになってしまうという問題点があった。

## 6

【0009】本発明の目的は、大規模集積回路のI/Oピン近傍にあるF/F(I/Oピン直結でなくても数段程度の論理を介して接続しているものも含む)のみを選択的にシリアルに接続したスキャンパス(以下、I/Oスキャンパスという)を備え、テストパターン発生にかかる時間を短縮するとともに、ボードレベルでのテスト時間の短縮を図るようにした大規模集積回路を提供することにある。

【0010】本発明の他の目的は、I/Oスキャンパスを備える大規模集積回路間の接続確認を容易に行えるようにしたボードテスト方法を提供することにある。

【0011】

【0012】

【課題を解決するための手段】本発明の大規模集積回路は、F/Fをシリアルに接続したスキャンパスを有する構造の大規模集積回路において、前記スキャンパスが、I/Oピン近傍のF/Fのみをシリアルに接続したI/Oスキャンパスと、それ以外のF/Fをシリアルに接続した内部スキャンパスとに分かれており、全スキャンパスの経路とI/Oスキャンパスのみの経路とを選択するセレクトを有することを特徴する。

【0013】さらに、本発明の大規模集積回路は、F/Fをシリアルに接続したスキャンパスを有する構造の大規模集積回路において、前記スキャンパスが、I/Oピン近傍のF/Fのみをシリアルに接続したI/Oスキャンパスと、それ以外のF/Fをシリアルに接続した内部スキャンパスとに分かれており、一方の入力が前記I/Oスキャンパスの他端および前記内部スキャンパスの一端に接続され、他方の入力が前記内部スキャンパスの他端に接続され、出力がスキャンアウトに接続されており、テストモード信号に基づいて全スキャンパスの経路と前記I/Oスキャンパスのみの経路とを選択するセレクトを有することを特徴する。

【0014】さらにまた、本発明の大規模集積回路は、F/Fをシリアルに接続したスキャンパスを有する構造の大規模集積回路において、前記スキャンパスが、I/Oピン近傍のF/Fのみをシリアルに接続したI/Oスキャンパスと、それ以外のF/Fをシリアルに接続した内部スキャンパスとに分かれており、一方の入力がスキャンインおよび前記内部スキャンパスの一端に接続され、他方の入力が前記内部スキャンパスの他端に接続され、出力が前記I/Oスキャンパスの一端に接続されており、テストモード信号に基づいて全スキャンパスの経路と前記I/Oスキャンパスのみの経路とを選択するセレクトを有することを特徴する。

【0015】また、本発明の大規模集積回路は、F/Fをシリアルに接続したスキャンパスを有する構造の大規模集積回路において、前記スキャンパスが、I/Oピン近傍のF/Fのみをシリアルに接続したI/Oスキャンパスと、それ以外のF/Fをシリアルに接続した第1お

よび第2の内部スキャンパスとに分かれており、一方の入力がスキャンインおよび前記第1の内部スキャンパスの一端に接続され、他方の入力が前記第1の内部スキャンパスの他端に接続され、出力が前記I/Oスキャンパスの一端に接続された第1のセクタと、一方の入力が前記I/Oスキャンパスの他端および前記第2の内部スキャンパスの一端に接続され、他方の入力が前記第2の内部スキャンパスの他端に接続され、出力がスキャンアウトに接続された第2のセクタとを有し、テストモード信号に基づいて前記第1および第2のセクタを切り換えることにより全スキャンパスの経路と前記I/Oスキャンパスのみの経路とを選択することを特徴する。

【0016】さらに、本発明の大規模集積回路は、F/Fをシリアルに接続したスキャンパスを有する構造の大規模集積回路において、前記スキャンパスが、I/Oピン近傍のF/Fのみをシリアルに接続した第1および第2のI/Oスキャンパスと、それ以外のF/Fをシリアルに接続した内部スキャンパスとに分かれており、一方の入力が前記第1のI/Oスキャンパスの他端および前記内部スキャンパスの一端に接続され、他方の入力が前記内部スキャンパスの他端に接続され、出力が前記第2のI/Oスキャンパスの一端に接続されており、テストモード信号に基づいて全スキャンパスの経路と前記I/Oスキャンパスのみの経路とを選択するセクタを有することを特徴する。

【0017】

【0018】一方、本発明のボードテスト方法は、F/Fをシリアルに接続したスキャンパスを有する構造の大規模集積回路のボードテスト方法において、前記スキャンパスを、I/Oピン近傍のF/Fのみをシリアルに接続したI/Oスキャンパスと、それ以外のF/Fをシリアルに接続した内部スキャンパスとに分け、複数の大規模集積回路のI/Oピン間を接続するとともにセクタによりI/Oスキャンパスのみの経路を選択して、各大規模集積回路のI/Oスキャンパスにテストデータをスキャンイン/スキャンアウトとさせてI/Oスキャンパス間でデータの送受を行うことにより、大規模集積回路間の接続確認を行うことを特徴とする。

【0019】さらに、本発明のボードテスト方法は、F/Fをシリアルに接続したスキャンパスを有する構造の大規模集積回路のボードテスト方法において、前記スキャンパスを、I/Oピン近傍のF/Fのみをシリアルに接続したI/Oスキャンパスと、それ以外のF/Fをシリアルに接続した内部スキャンパスとに分け、複数の大規模集積回路のI/Oピン間を接続するとともに外部よりテストモード信号を与えることによりセクタによってI/Oスキャンパスのみの経路を選択して、各大規模集積回路のI/Oスキャンパスにテストデータをスキャンイン/スキャンアウトとさせてI/Oスキャンパス間でデータの送受を行うことにより、大規模集積回路間の

接続確認を行うことを特徴とする。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0021】図1は、本発明の第1の実施の形態に係る大規模集積回路1の内部構成およびそのボードテスト方法のための接続態様を示す図である。本実施の形態に係る大規模集積回路1は、I/Oピン3近傍のF/F2'のみをシリアルに接続したI/Oスキャンパス10と、それ以外のF/F2を接続したスキャンパス（以下、内部スキャンパスという）11と、全スキャンパス（I/Oスキャンパス10+内部スキャンパス11）の経路とI/Oスキャンパス10のみの経路とを選択するセクタ12とを含んで構成されている。なお、図1中、符号9は、I/Oスキャンパス10を用いたボードテスト時にシミュレーションの対象外となる部分（以下、シミュレーション対象外部分という）を示す。

【0022】I/Oスキャンパス10は、一端がスキャンイン5に接続され、他端がセクタ12の一方の入力および内部スキャンパス11の一端に接続されている。

【0023】内部スキャンパス11は、一端がI/Oスキャンパス10の他端およびセクタ12の一方の入力に接続され、他端がセクタ12の他方の入力に接続されている。

【0024】セクタ12は、一方の入力がI/Oスキャンパス10の他端および内部スキャンパス11の一端に接続され、他方の入力が内部スキャンパス11の他端に接続され、出力がスキャンアウト6に接続されており、テストモード信号に応じて全スキャンパス（I/Oスキャンパス10+内部スキャンパス11）の経路とI/Oスキャンパス10のみの経路とのいずれかを選択する。

【0025】大規模集積回路1のボードテスト時には、大規模集積回路1、1間のI/Oピン3、3間を接続するとともに外部よりテストモード信号を与えることによりセクタ12によってI/Oスキャンパス10のみの経路を選択する。そして、各大規模集積回路1のI/Oスキャンパス10にテストデータをスキャンイン/スキャンアウトとさせてI/Oスキャンパス10、10間でデータの送受を行うことにより、大規模集積回路1、1間の接続確認を行う。

【0026】ボードテストでは、大規模集積回路1、1間の接続の確認が主な目的であるので、シミュレーション対象外部分9はテストパタン発生のためのシミュレーションモデルから削除する。したがって、小さな規模のシミュレーションでテストパタンを発生することができる。また、テストパタンを削減することができるので、テスト時間も削減することができる。

【0027】なお、本実施の形態に係る大規模集積回路1が、もともと存在していたF/F2やF/F2'のう

ちの、I/Oピン3近傍のF/F2'のみを選択的に接続してI/Oスキャンパス10を構成しているのに対し、図4に示したバウンダリスキャンパス47は、もともと存在していたF/F42やF/F42'とは別に、バウンダリスキャンセル48からなるバウンダリスキャンパス47をテスト専用の回路として設けなければならない点で大きく異なる。本実施の形態に係る大規模集積回路1では、論理回路での演算データの保持あるいは同期をとるためのF/F2'がI/Oピン3近傍に設けられており、わざわざテスト容易化回路のためのF/Fを組み込まずとも、すでに設けられているF/F2'を利用することで遅延を増やさないようにすることができる。

【0028】次に、このように構成された第1の実施の形態に係る大規模集積回路1の動作について、図1を参照して説明する。

【0029】通常、大規模集積回路1が動作しているときは、F/F2およびF/F2'は、パラレル方向（図1中の横方向）の流れでデータの送受が行われている。当然のことながら、各F/F2およびF/F2'のパラレル方向には、図示していないが、様々な内部論理回路の入出力が接続される。

【0030】シフトモード時には、シリアル方向（図1中の縦方向）にスキャンイン5から1ビットずつシフト動作によって各F/F2およびF/F2'に任意の値を設定することを可能にする。また、スキャンアウト6から1ビットずつ大規模集積回路1内のF/F2およびF/F2'の値を抜き出して観測することができる。

【0031】さらに、外部からテストモード信号を与えてセクタ12を制御することにより、I/Oピン3近傍のF/F2'のみをシリアルに接続したI/Oスキャンパス10のみで、それ以外のF/F2を接続した内部スキャンパス11をバイパスする経路を作ることができる。大規模集積回路1、1間の接続確認を主目的とするボードテストでは、このスキャンパス経路、すなわちI/Oスキャンパス10を選択することにより、大規模集積回路1、1間の接続に関する部分だけのスキャンパスを構成することができる。したがって、このI/Oスキャンパス10にスキャンイン5からシフト動作によって値を設定し、パラレル方向にデータを送受した後、再びI/Oスキャンパス10のスキャンアウト6からシフト動作でデータの送受結果を抜き出すことにより、大規模集積回路1、1間の接続に関係のないシミュレーション対象外部分9を制御せずにボードテストを行うができる。I/Oスキャンパス10のテストデータは、被試験物である大規模集積回路1のI/Oスキャンパス10のみに対してシミュレーションを行うことにより発生する。

【0032】このように、I/Oスキャンパス10を用いたボードテスト方法では、大規模集積回路1のI/O

ピン3から内部のシミュレーション対象外部分9の論理回路の検証は行わない。大規模集積回路1のシミュレーション対象外部分9は、あらかじめ大規模集積回路テストで動作検証しておき、ボードテストでは大規模集積回路1の内部回路には触れず、これらの大規模集積回路1、1間の接続がきちんとなされているかを確認する。

【0033】以上のように、I/Oスキャンパス10を用いたボードテスト方法では、複数の大規模集積回路1がそれぞれI/Oピン3の外部に向かって信号を送受することで、大規模集積回路1、1間の不良ネットを検出する。現在の高密度実装ボードは、そこに使用する大規模集積回路1が動作マージンを含めて動作保証されている場合、アッセンブリ時の熱履歴でその大規模集積回路1が壊れるということは所定の加熱条件に管理された生産工程では起こり得ず、不良はほとんど半田付けなどの実装工程でのショート、オープンといったネット不良である。このことが、I/Oスキャンパス10を用いたボードテスト方法によって大規模集積回路1、1間の接続不良の検出率が向上する理由である。

【0034】ところで、図1に示した第1の実施の形態に係る大規模集積回路1およびそのボードテスト方法では、スキャンイン5→I/Oスキャンパス10→内部スキャンパス11→スキャンアウト6の順で接続し、1つのセクタ12で全スキャンパスの経路とI/Oスキャンパス10のみの経路との切り替えを行っているが、スキャンパスの順番およびセクタ12の個数に制限は無い。例えば、スキャンイン5→内部スキャンパス11→I/Oスキャンパス10→スキャンアウト6のような構成や、I/Oスキャンパス10や内部スキャンパス11が1つにまとまっていない構成も考えられる。

【0035】図2(a)、(b)および(c)は、スキャンパスの順番およびセクタ12の個数を異ならしめた、本発明の第2の実施の形態に係る大規模集積回路をそれぞれ例示する図である。

【0036】図2(a)の例では、スキャンパスが、内部スキャンパス11と、I/Oスキャンパス10とに分かれており、一方の入力がスキャンイン5および内部スキャンパス11の一端に接続され、他方の入力が内部スキャンパス11の他端に接続され、出力がI/Oスキャンパス10の一端に接続されており、テストモード信号に基づいて全スキャンパスの経路とI/Oスキャンパス10のみの経路とを選択するセクタ12を有する。このような接続態様を有する大規模集積回路でも、第1の実施の形態に係る大規模集積回路1と同様なボードテスト方法が適用でき、同様な効果を得ることができることはいうまでもない。

【0037】図2(b)の例では、スキャンパスが、I/Oスキャンパス10と、第1および第2の内部スキャンパス11とに分かれており、一方の入力がスキャンイン5および第1の内部スキャンパス11の一端に接続さ

11

れ、他方の入力第1の内部スキャンパス11の他端に接続され、出力がI/Oスキャンパス10の一端に接続された第1のセクタ12と、一方の入力がI/Oスキャンパス10の他端および第2の内部スキャンパス11の一端に接続され、他方の入力第2の内部スキャンパス11の他端に接続され、出力がスキャンアウト6に接続された第2のセクタ12とを有する。このような接続態様を有する大規模集積回路でも、第1の実施の形態に係る大規模集積回路1と同様なボードテスト方法が適用でき、同様な効果を得ることができるというまでもない。

【0038】図2(c)の例では、スキャンパスが、第1および第2のI/Oスキャンパス10と、内部スキャンパス11とに分かれており、一方の入力が第1のI/Oスキャンパス10の他端および内部スキャンパス11の一端に接続され、他方の入力第1の内部スキャンパス11の他端に接続され、出力が第2のI/Oスキャンパス10の一端に接続されており、テストモード信号に基づいて全スキャンパスの経路と第1および第2のI/Oスキャンパス10のみの経路とを選択するセクタを有する。このような接続態様を有する大規模集積回路でも、第1の実施の形態に係る大規模集積回路1と同様なボードテスト方法が適用でき、同様な効果を得ることができるというまでもない。

【0039】

【発明の効果】第1の効果は、テストパタンの生成が容易になることである。その理由は、I/Oピン近傍のF/FのみでI/Oスキャンパスを構成することにより、他のF/Fおよび内部論理を切り離してシミュレーションを行うことができるからである。

【0040】第2の効果は、回路オーバーヘッドを最小限

12

に抑えることができることである。このため、通常動作時の遅延も最小限に抑えることができる。その理由は、もともと回路中に存在しているF/Fの中からI/Oピン近傍のものを選択的に接続してI/Oスキャンパスとしているだけであるからである。

【0041】第3の効果は、ボードテストのテスト時間を短縮できることである。その理由は、テスト対象となる回路規模がI/Oスキャンパスに限定されるため、テストパターン量も削減されるからである。

10 【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る大規模集積回路の内部構成およびそのボードテスト方法のための接続態様を示す図である。

【図2】(a), (b) および (c) は、本発明の第2の実施の形態に係る大規模集積回路におけるスキャンパスの接続態様をそれぞれ例示する図である。

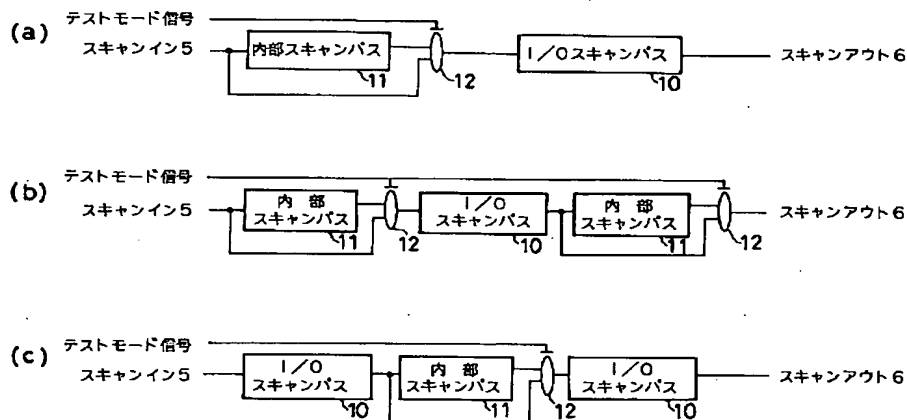
【図3】従来のテスト容易化回路としてのフルスキャンパスを例示する図である。

【図4】従来の大規模集積回路間の接続のみに着目したテスト容易化回路としてのバウンダリスキャンパスを説明する図である。

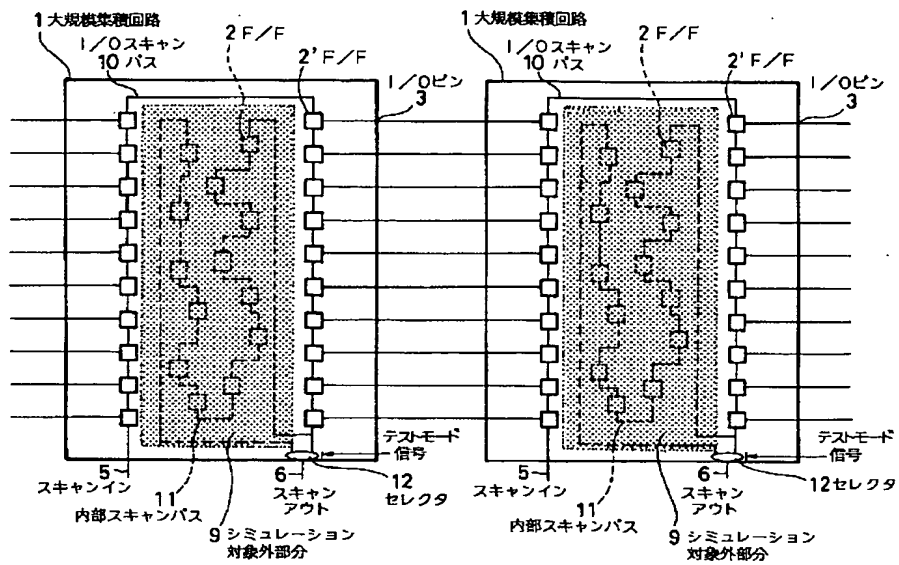
【符号の説明】

- 1 大規模集積回路
- 2, 2' フリップフロップ(F/F)
- 3 I/Oピン
- 5 スキャンイン
- 6 スキャンアウト
- 9 シミュレーション対象外部分
- 10 I/Oスキャンパス
- 11 内部スキャンパス
- 12 セクタ

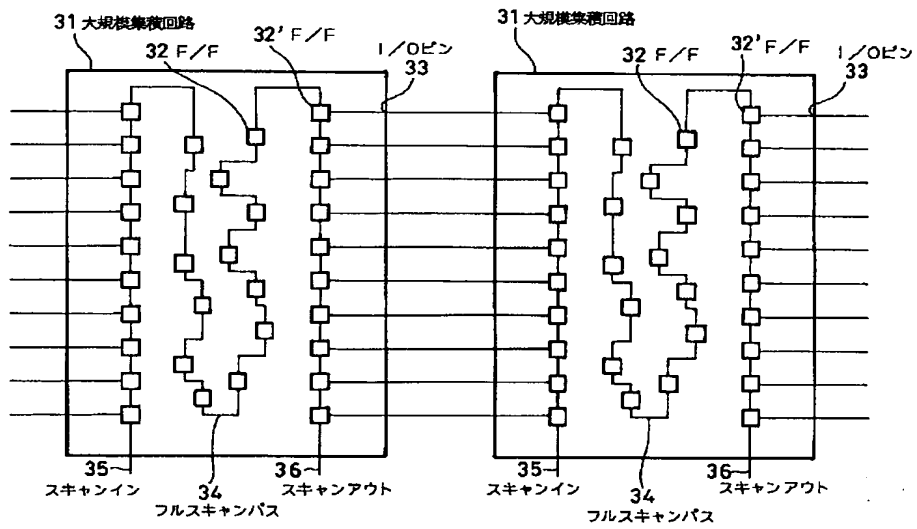
【図2】



【図1】

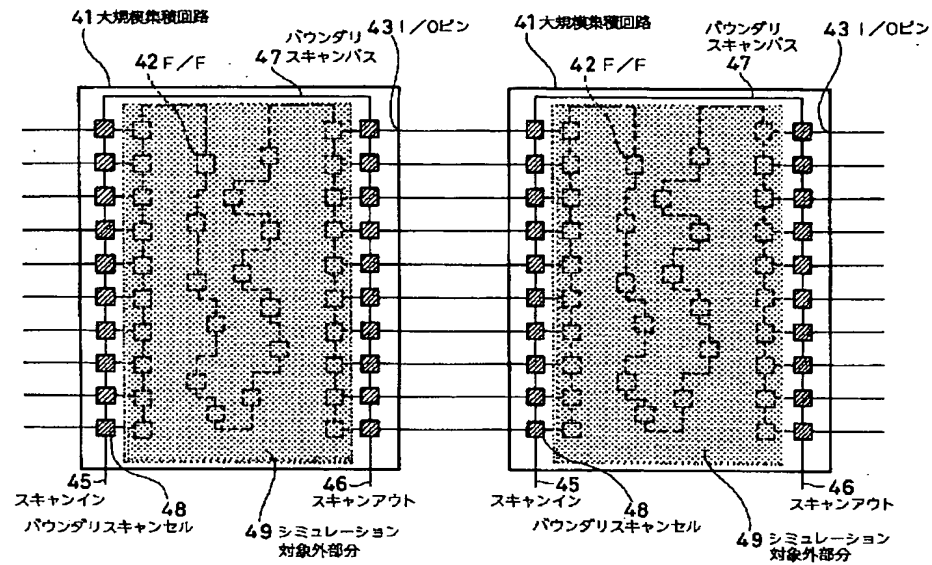


【図3】





【図4】



フロントページの続き

(56)参考文献 特開 平7-35817 (JP, A)  
特開 平7-63821 (JP, A)  
特開 平6-289099 (JP, A)  
特開 平8-136619 (JP, A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
G01R 31/3185  
G06F 11/267